

ESTRUCTURA Y TECNOLOGÍA DE COMPUTADORES

PRÁCTICAS DE LÓGICA CABLEADA

INGENIERÍA TÉCNICA EN INFORMÁTICA DE GESTIÓN

ANTONIO ABARCA ÁLVAREZ - 2008

INTRODUCCIÓN

En el presente bloque de prácticas se pretende introducir al alumno en el funcionamiento de los dispositivos digitales más usuales (puertas y biestables), tratándolos exclusivamente desde su punto de vista funcional. Asimismo, se comprobarán experimentalmente las principales ideas teóricas en las que se basa la electrónica digital.

Para ello se utilizarán circuitos integrados digitales de la familia TTL, aprendiendo las normas generales sobre su utilización y conexionado, desarrollando varios montajes para comprobar, en primer lugar, el funcionamiento de distintas puertas lógicas (NOT, NAND y XOR) y en segundo lugar, aprovechándonos de las propiedades del álgebra de Boole, construir las demás funciones lógicas cableadas a partir de puertas NAND.

Posteriormente se introducirán los circuitos digitales realimentados y se obtendrán distintos tipos de biestables a partir de puertas lógicas y por último, usando biestables integrados, también de la familia TTL, se comprobará el funcionamiento de los biestables JK y D, así como el de sencillos circuitos secuenciales, estudiando así los dos campos de la lógica cableada.

REALIZACION DE LAS PRÁCTICAS

El bloque de prácticas está formado por 20 apartados que deben realizarse en el laboratorio completando las preguntas que sobre ellos se plantean.

Para finalizar, tenemos una relación de cuestiones breves que hay que responder aplicando los conocimientos adquiridos en la parte teórica de la asignatura.

NOTA: cada grupo deberá entregar un cuaderno de prácticas.

MATERIAL DE PRÁCTICAS NECESARIO

- Entrenador digital o simulador.
- Diverso material electrónico.
- Cable de conexión.

1.- Características de los circuitos integrados.

Localizar las hojas de características de los circuitos integrados 7400, 7404, 7410, 7474, 7473 y 7486. Indicar la función lógica implementada por cada uno de ellos, dibujar la disposición de terminales.

Rellenar la tabla con los datos obtenidos de las características del integrado 7400.

7400	7404
7410	7474
7473	7486

Valores de tensión más significativos

	V_{CC}	$V.$	
V_{IHmin}	$V.$	V_{ILmax}	$V.$
V_{OHmin}	$V.$	V_{OLmax}	$V.$

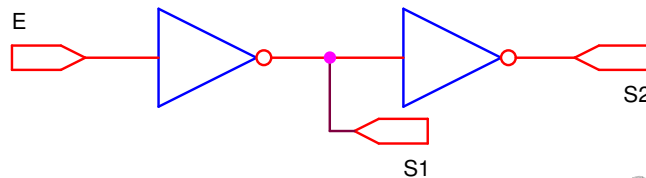
En base a estos valores, ¿cuál es el margen de tensiones aplicables a la entrada del circuito para que sea reconocido como nivel bajo y como nivel alto?

Estado	Tensión
Bajo (0)	$V.$
Alto (1)	$V.$

2.- Funcionamiento de las puertas lógicas.

Montar el circuito de la figura. Aplicar a la entrada (E) de la puerta 1 los dos estados lógicos y rellenar la tabla de verdad adjunta con los valores medidos en la salida de la puerta 1 (S1) y la salida de la puerta 2 (S2).

E	S1	S2
0		
1		

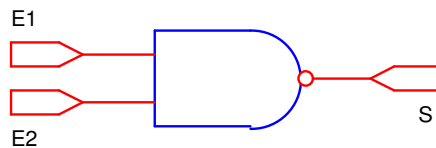


¿Que función lógica equivale a la función S1? ¿y a la S2?

S1:

S2:

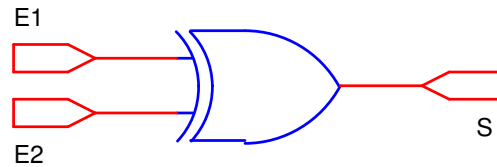
Utilizando una puerta NAND, obtener la tabla de verdad al aplicar en las entradas (E1 y E2) de la puerta las cuatro combinaciones posibles de estados lógicos.



E1	E2	S
0	0	
0	1	
1	0	
1	1	

¿Cuál es la representación de la función lógica S?

Comprobar ahora el funcionamiento de la puerta XOR, con la aplicación en las entradas (E1 y E2) de la puerta de las cuatro combinaciones de estados lógicos y rellenar la tabla de verdad adjunta.



E1	E2	S
0	0	
0	1	
1	0	
1	1	

¿Cuál es la representación de la función lógica S?

3.- Implementación de las funciones lógicas AND, OR, NOR y XOR a partir de puertas NAND.

Dibujar los esquemas que, utilizando puertas NAND del circuito 7400, equivalen a las funciones lógicas indicadas:

AND (S1 = A · B)	OR (S2 = A + B)
NOR (S3 = (A + B)')	XOR (S4 = A ⊕ B)

Montar cada uno de los circuitos y, aplicando a las entradas de cada uno las cuatro combinaciones de estados lógicos, rellenar la tabla de verdad adjunta con los niveles medidos en las salidas.

A	B	S1	S2	S3	S4
0	0				
0	1				
1	0				
1	1				

4.- Implementación de puertas lógicas de 3 entradas mediante puertas de 2.

Realizar la implementación de la puerta NAND de 3 entradas empleando para ello puertas NAND de 2 entradas.

A	B	C	F
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Simplificación:

Esquema:

Realizar la implementación de la puerta AND de 3 entradas empleando para ello puertas NAND de 2 entradas.

A	B	C	F
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Simplificación:

Esquema:

Realizar la implementación de la puerta OR de 3 entradas empleando para ello puertas NAND de 2 entradas.

A	B	C	F
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Simplificación:

Esquema:

5.- Semirrestador binario.

Dada la tabla adjunta para que las funciones D y C_s correspondan a las operaciones diferencia y acarreo en un semirrestador binario. Obtener las funciones lógicas correspondientes y simplificarlas si fuera posible.

Min	Sus	Dif	Ac
A	B	D	C_s
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

Funciones lógicas y simplificación:

Lo indicado por las abreviaturas es:

Min: minuendo
Sus: sustraendo
Dif: diferencia
Ac: acarreo.

Dibujar el esquema del circuito que implementa estas funciones lógicas utilizando todos los tipos de puertas NAND (7400), NOT (7404) y XOR (7486). Montarlo y comprobar su funcionamiento.

Esquema y breve descripción del funcionamiento:

6.- Diseño de un circuito comparador de 2 palabras de un bit.

Se trata de realizar el diseño de un comparador binario de 1 bit, de forma que tenga como entradas los 2 bits, uno de cada número a comparar y 3 salidas, donde se indica si el primer número es mayor, igual o menor que el segundo, respectivamente.

A	B	A > B	A = B	A < B
0	0			
0	1			
1	0			
1	1			

Esquema y breve descripción de su funcionamiento:

7.- Diseño de un generador de paridad par/impar para valores binarios de 4 bits.

Realizar el diseño de un circuito que permita generar un bit adicional de paridad a un dígito binario de 4 bits, de forma que el dígito resultante tenga una longitud de 5 bits y tenga paridad par/impar, según el caso.

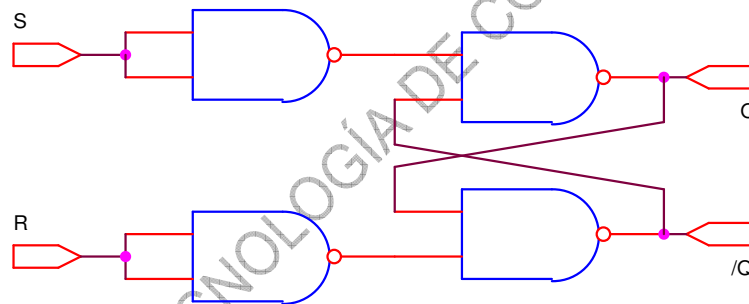
A ₃	A ₂	A ₁	A ₀	P. Par	P. Impar
0	0	0	0		
0	0	0	1		
0	0	1	0		
0	0	1	1		
0	1	0	0		
0	1	0	1		
0	1	1	0		
0	1	1	1		
1	0	0	0		
1	0	0	1		
1	0	1	0		
1	0	1	1		
1	1	0	0		
1	1	0	1		
1	1	1	0		
1	1	1	1		

Esquema:

8.- Biestable RS sin entrada de reloj implementado a partir de puertas NAND.

Montar el circuito de la figura. Aplicar a las entradas (R y S) del circuito las cuatro combinaciones de estados lógicos y rellenar la tabla de verdad adjunta con los niveles medidos en las salidas Q y su complemento (\bar{Q}).

R	S	Q	\bar{Q}
0	0		
0	1		
1	0		
1	1		

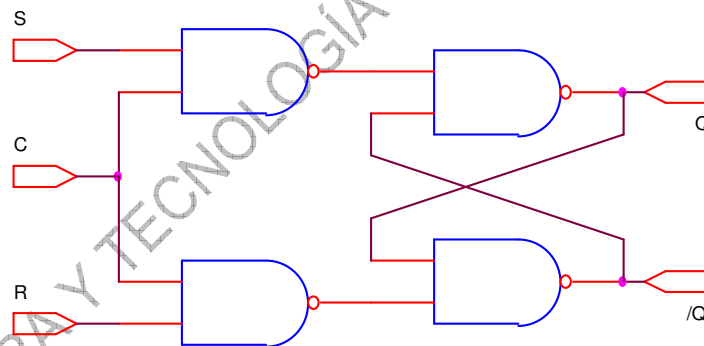


Comentar brevemente alguna característica conocida peculiar del biestable RS, indicando si se cumple en la práctica.

9.- Biestable RS con entrada de reloj implementado a partir de puertas NAND.

A partir del biestable RS obtenido con puertas NAND de la práctica anterior, realizar el montaje del biestable RS con entrada de la señal de reloj, empleando igualmente puertas NAND. Indicar el nivel de C con el que el biestable cambia la salida.

R	S	C	Q	/Q
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

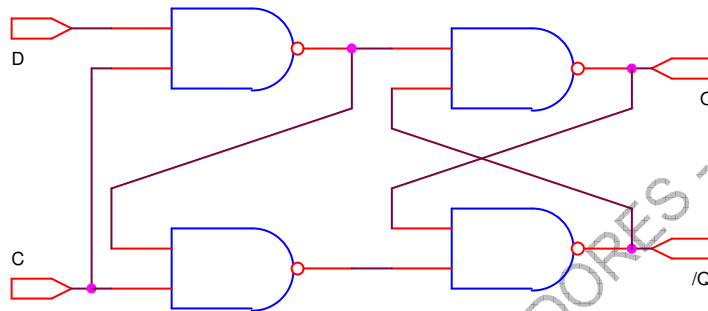


Explica brevemente la evolución del biestable RS con la señal de reloj.

10.- Obtención de un biestable D a partir de puertas NAND.

Montar el circuito de la figura. Aplicar a la entrada D ambos niveles lógicos y, para cada nivel, llevar la señal C de 0 a 1 y de nuevo a 0. Rellenar la tabla de verdad adjunta con los niveles medidos en la salida (Q). Q_t representa la salida Q en el instante t, Q_{t+1} indica la salida Q en el instante t+1, es decir el instante siguiente.

D	Q_t	Q_{t+1}
0	0	
0	1	
1	0	
1	1	

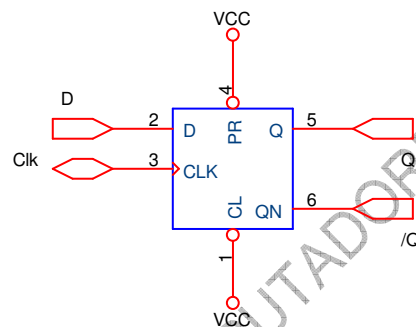


Explicar brevemente el funcionamiento del biestable D con reloj por nivel desde el punto de vista de las transiciones de las salidas en función de las entradas. Comprobar qué sucede si D cambia de valor mientras que $C = "1"$

11.- Funcionamiento de un biestable D disparado por flanco.

Montar el circuito de la figura. Aplicar a la entrada D del circuito ambos niveles lógicos, y utilizar con cada nivel varios impulsos de reloj, empleando para ello el reloj del entrenador, de forma que permita detectar el flanco que produce la activación del biestable. Rellenar la tabla de verdad adjunta con los niveles medidos en la salida (Q). Q_t representa la salida Q en el instante t, Q_{t+1} indica la salida Q en el instante t+1, es decir el instante siguiente, Q_{t+2} el siguiente del t+1.

D	Q_t	Q_{t+1}	Q_{t+2}
0	0		
0	1		
1	0		
1	1		

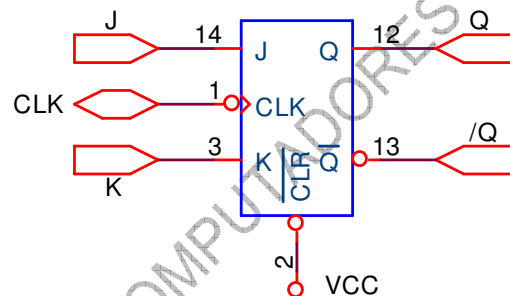


Detectar cual es el flanco que produce la activación del biestable. Utilizar las entradas asíncronas (PR y CL) del mismo para comprobar su funcionamiento y sacar conclusiones acerca de su comportamiento, generando la señal de reloj con el interruptor.

12.- Funcionamiento de un biestable JK.

Montar el circuito de la figura. Aplicar a las entradas (J y K) todas las combinaciones posibles de estados lógicos, y aplicar con cada combinación varios impulsos de reloj. Rellenar la tabla de verdad adjunta con los niveles medidos en la salida (Q). Q_t representa la salida Q en el instante t, Q_{t+1} indica la salida Q en el instante t+1, es decir el instante siguiente, Q_{t+2} el siguiente del t+1 y así sucesivamente.

J	K	Q_t	Q_{t+1}	Q_{t+2}	Q_{t+3}
0	0	0			
0	1	0			
1	0	0			
1	1	0			
0	0	1			
0	1	1			
1	0	1			
1	1	1			

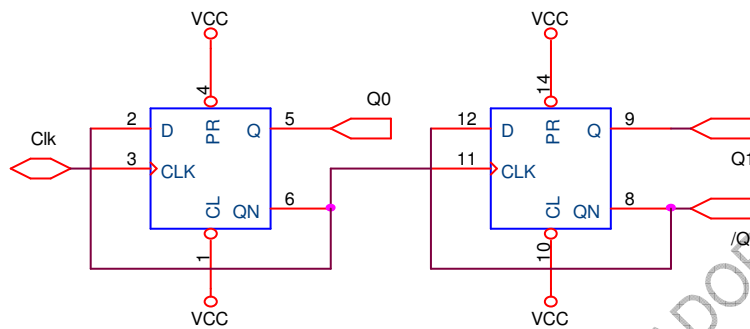


Detectar cual es el flanco que produce la activación del biestable. Utilizar la entrada asíncrona del mismo para comprobar su funcionamiento, generando para ello la señal de reloj con el interruptor.



13.- Montaje de un contador asíncrono de 2 bits con biestables D.

Montar el circuito de la figura y obtener la evolución de las salidas (Q1 y Q0) a cada impulso de reloj. Obtener el diagrama de estados del sistema. $Q_{1,t}$ representa la salida Q del biestable 1 en el instante t, $Q_{1,t+1}$ indica la salida Q del biestable 1 en el instante t+1, es decir el instante siguiente.



Estado	$Q_{1,t}$	$Q_{0,t}$	$Q_{1,t+1}$	$Q_{0,t+1}$	Estado
0	0	0			
1	0	1			
2	1	0			
3	1	1			

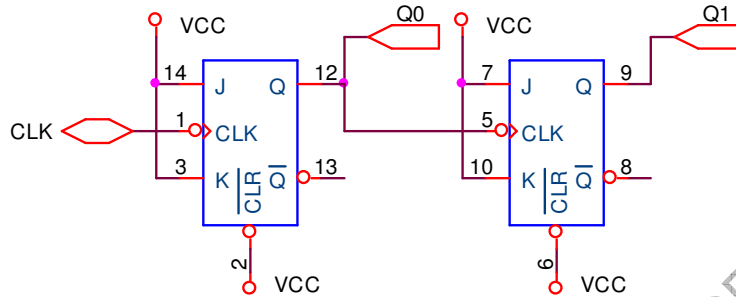
Diagrama de estados:

Dibujar los cronogramas del circuito considerando todos los retardos iguales entre ellos y distintos de 0. Explicar brevemente la problemática de los contadores asíncronos.

CLK₀
 D₀
 Q₀
 CLK₁
 D₁
 Q₁

14.- Montaje de un contador asíncrono de 2 bits con biestables JK.

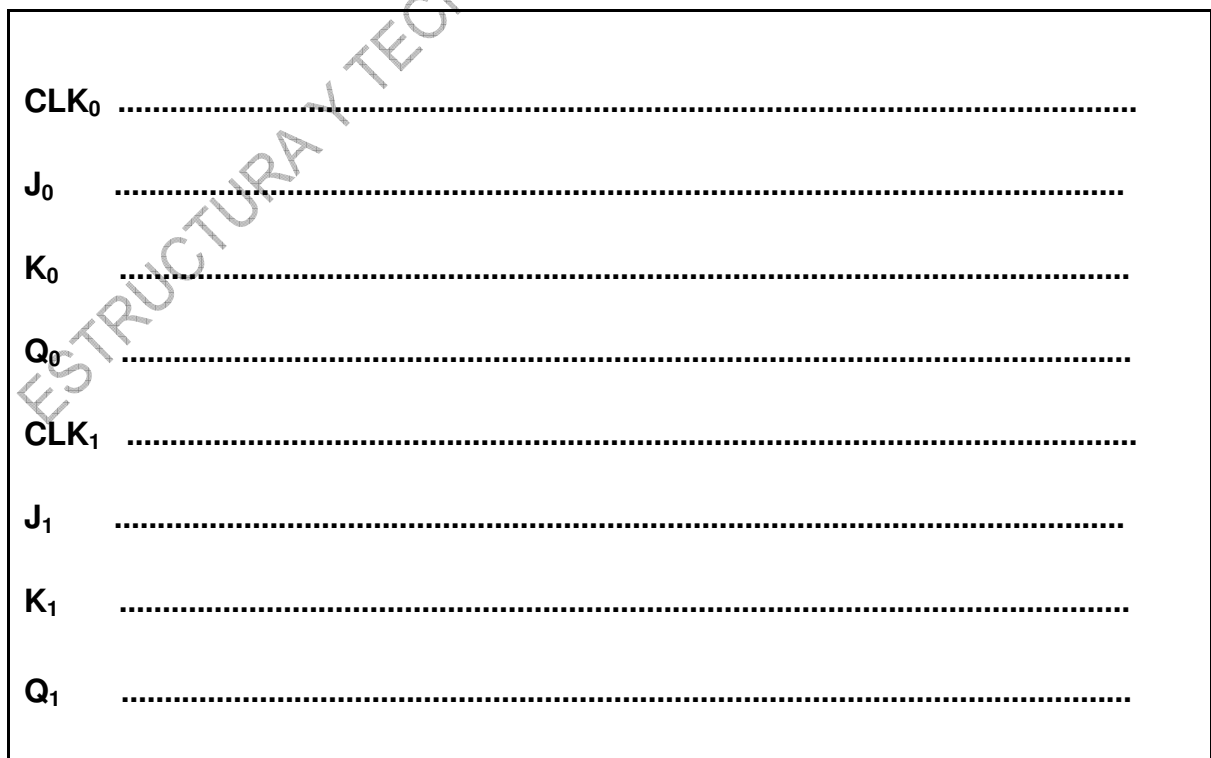
Montar el circuito de la figura y obtener la evolución de las salidas (Q1 y Q0) a cada impulso de reloj. Obtener el diagrama de estados del sistema. $Q_{1,t}$ representa la salida Q del biestable 1 en el instante t, $Q_{1,t+1}$ indica la salida Q del biestable 1 en el instante t+1, es decir el instante siguiente.



Estado	$Q_{1,t}$	$Q_{0,t}$	$Q_{1,t+1}$	$Q_{0,t+1}$	Estado
0	0	0			
1	0	1			
2	1	0			
3	1	1			

Diagrama de estados:

Dibujar los cronogramas del circuito considerando todos los retardos iguales entre ellos y distintos de 0.



15.- Contador binario de 2 bits empleando biestables D.

Obtener el diagrama de estados de un contador binario de 2 bits. Completar la tabla adjunta y obtener las funciones necesarias para implementarla con un circuito síncrono a base de biestables D. Simplificarlas. $Q_{1,t}$ representa la salida Q del biestable 1 en el instante t, $Q_{1,t+1}$ indica la salida Q del biestable 1 en el instante t+1, es decir el instante siguiente.

Estado	$Q_{1,t}$	$Q_{0,t}$	$Q_{1,t+1}$	$Q_{0,t+1}$	Estado
0	0	0			
1	0	1			
2	1	0			
3	1	1			

Diagrama de estados:

Simplificación:

Dibujar el esquema del circuito que implementa el contador utilizando las puertas disponibles (NOT, NAND o XOR de 2 entradas) necesarias y biestables D. Montarlo y comprobar su funcionamiento. Dibujar los cronogramas del mismo sin considerar tiempos de retardo.

Esquema:

CLK

D₀

Q₀

D₁

Q₁

16.- Contador binario de 2 bits empleando biestables JK.

Obtener el diagrama de estados de un contador binario de 2 bits. Completar la tabla adjunta y obtener las funciones necesarias para implementarla con un circuito síncrono a base de biestables JK. Simplificarlas. $Q_{1,t}$ representa la salida Q del biestable 1 en el instante t, $Q_{1,t+1}$ indica la salida Q del biestable 1 en el instante t+1, es decir el instante siguiente.

Estado	$Q_{1,t}$	$Q_{0,t}$	$Q_{1,t+1}$	$Q_{0,t+1}$	Estado
0	0	0			
1	0	1			
2	1	0			
3	1	1			

Diagrama de estados:

Simplificación:

Dibujar el esquema del circuito que implementa el contador utilizando las puertas disponibles (NOT, NAND o XOR de 2 entradas) necesarias y biestables JK. Montarlo y comprobar su funcionamiento. Dibujar los cronogramas del mismo considerando todos los tiempos de retardo iguales entre ellos y distintos de 0.

Esquema:

CLK

J_0

K_0

Q_0

J_1

K_1

Q_1

17.- Contador binario ascendente/descendente de 2 bits empleando biestables D.

Obtener el diagrama de estados de un contador binario ascendente ($C = 0$) y descendente ($C = 1$) de 2 bits. Completar la tabla adjunta y obtener las funciones necesarias para implementarla con un circuito síncrono a base de biestables D. Simplificarlas. $Q_{1,t}$ representa la salida Q del biestable 1 en el instante t, $Q_{1,t+1}$ indica la salida Q del biestable 1 en el instante t+1, es decir el instante siguiente.

C	$Q_{1,t}$	$Q_{0,t}$	$Q_{1,t+1}$	$Q_{0,t+1}$	D_1	D_0
0	0	0				
0	0	1				
0	1	0				
0	1	1				
1	0	0				
1	0	1				
1	1	0				
1	1	1				

Diagrama de estados:

Simplificación:

Dibujar el esquema del circuito que implementa el contador utilizando las puertas disponibles (NOT, NAND o XOR de 2 entradas) necesarias y biestables D. Montarlo y comprobar su funcionamiento. Dibujar los cronogramas del mismo sin considerar tiempos de retardo.

Esquema:

CLK
C
D₀
Q₀
D₁
Q₁

18.- Contador ascendente/descendente de 2 bits empleando biestables JK.

Obtener el diagrama de estados de un contador binario ascendente ($C = 0$) y descendente ($C = 1$) de 2 bits. Completar la tabla adjunta y obtener las funciones necesarias para implementarla con un circuito síncrono a base de biestables JK. Simplificarlas. $Q_{1,t}$ representa la salida Q del biestable 1 en el instante t, $Q_{1,t+1}$ indica la salida Q del biestable 1 en el instante t+1, es decir el instante siguiente.

C	$Q_{1,t}$	$Q_{0,t}$	$Q_{1,t+1}$	$Q_{0,t+1}$	J_1	K_1	J_0	K_0
0	0	0						
0	0	1						
0	1	0						
0	1	1						
1	0	0						
1	0	1						
1	1	0						
1	1	1						

Diagrama de estados:

Simplificación:

Dibujar el esquema del circuito que implementa el contador utilizando las puertas disponibles (NOT, NAND o XOR de 2 entradas) necesarias y biestables JK. Montarlo y comprobar su funcionamiento. Dibujar los cronogramas del mismo considerando todos los tiempos de retardo iguales entre ellos y distintos de 0.

Esquema:

CLK
C
J0
K0
Q0
J1
K1
Q1

19.- Contador ascendente/descendente divisor por 3 empleando biestables D.

Obtener el diagrama de estados de un contador ascendente ($C = 0$) y descendente ($C = 1$) divisor por 3. Completar la tabla adjunta y obtener las funciones necesarias para implementarla con un circuito síncrono a base de biestables D. Simplificarlas. $Q_{1,t}$ representa la salida Q del biestable 1 en el instante t, $Q_{1,t+1}$ indica la salida Q del biestable 1 en el instante t+1, es decir el instante siguiente.

C	$Q_{1,t}$	$Q_{0,t}$	$Q_{1,t+1}$	$Q_{0,t+1}$	D_1	D_0
0	0	0				
0	0	1				
0	1	0				
0	1	1				
1	0	0				
1	0	1				
1	1	0				
1	1	1				

Diagrama de estados:

Simplificación:

Dibujar el esquema del circuito que implementa el contador utilizando las puertas disponibles (NOT, NAND o XOR de 2 entradas) necesarias y biestables D. Montarlo y comprobar su funcionamiento. Dibujar los cronogramas del mismo sin considerar tiempos de retardo.

Esquema:

CLK
C
D0
Q0
D1
Q1

20.- Contador ascendente/descendente divisor por 3 empleando biestables JK.

Obtener el diagrama de estados de un contador binario ascendente ($C = 0$) y descendente ($C = 1$) divisor por 3. Completar la tabla adjunta y obtener las funciones necesarias para implementarla con un circuito síncrono a base de biestables JK. Simplificarlas. $Q_{1,t}$ representa la salida Q del biestable 1 en el instante t, $Q_{1,t+1}$ indica la salida Q del biestable 1 en el instante t+1, es decir el instante siguiente.

C	$Q_{1,t}$	$Q_{0,t}$	$Q_{1,t+1}$	$Q_{0,t+1}$	J_1	K_1	J_0	K_0
0	0	0						
0	0	1						
0	1	0						
0	1	1						
1	0	0						
1	0	1						
1	1	0						
1	1	1						

Diagrama de estados:

Simplificación:

Dibujar el esquema del circuito que implementa el contador utilizando las puertas necesarias de los tipos disponibles (NOT, NAND o XOR de 2 entradas) y biestables JK. Montarlo y comprobar su funcionamiento. Dibujar los cronogramas del mismo considerando todos los tiempos de retardo iguales entre ellos y distintos de 0.

Esquema:

CLK
C
J0
K0
Q0
J1
K1
Q1

CUESTIONES GENERALES.

Responder las siguientes cuestiones relacionadas con las prácticas de lógica cableada:

a) ¿Es necesario alimentar un circuito integrado para su correcto funcionamiento? ¿Por qué?

b) ¿Qué indican los niveles de tensión V_{IHmin} , V_{ILmax} , V_{OHmin} y V_{OLmax} ?

c) ¿Qué tensión indica el nivel lógico "1" TTL con lógica positiva? ¿y con lógica negativa?

d) ¿En qué biestable se presenta una situación anómala con la combinación 11 en las entradas? ¿Qué sucede?

e) ¿Qué diferencia existe entre un biestable disparado por flanco y uno disparado por nivel?

f) ¿Cual es la diferencia entre un contador secuencial síncrono y uno asíncrono?

g) ¿Qué diferencia existe entre una entrada PR activa a nivel alto y la misma señal PR activa a nivel bajo?

h) ¿Para qué sirven las entradas asíncronas de los biestables?