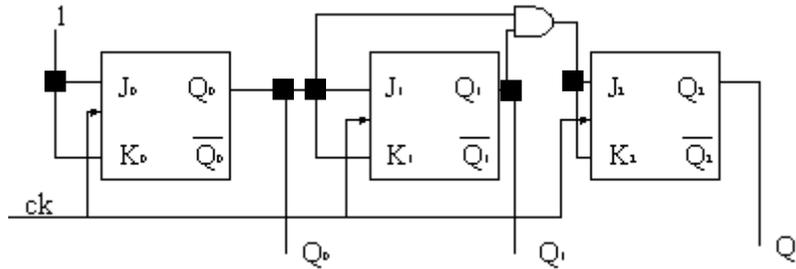


RELACIÓN DE PROBLEMAS DE LÓGICA CABLEADA (TEMA 2)

- 1) En relación con la función de tres variables $f(x,y,z) = (x+y')(x'+y)z' + xyz$ se pide:
 - a) Obtener la función minimizada (utilizando mapa de Karnaugh).
 - b) Sintetizarla usando exclusivamente puertas NAND de cualquier número de entradas.
- 2) Observe el siguiente circuito y conteste a las siguientes cuestiones:



- a) Describir su funcionamiento, con ayuda de un cronograma, especificando la evolución de las variables $J_0, K_0, J_1, K_1, J_2, K_2, Q_0, Q_1$ y Q_2 . Considere que el cambio de estado se realiza con el flanco de bajada de la señal de reloj y que el tiempo de retardo de los biestables es nulo.
 - b) Obtener la tabla de transición o tabla de excitación de los biestables completa del circuito.
 - c) Determinar las expresiones minimizadas de las funciones J_0, K_0, J_1, K_1, J_2 y K_2
- 3) Aplicando exclusivamente los teoremas del álgebra de Boole (no emplear tablas de Karnaugh), Se pide:
 - a) Simplificar al máximo la forma booleana $F = A(B' + C') + AB$
 - b) Representar el diagrama lógico de la función $F = A + BCD$ utilizando únicamente puertas NAND de dos entradas.
 - 4) Utilizando los conocimientos de lógica cableada resuelva las siguientes cuestiones: a) representar la función $F = abc + d'e$ con puertas NAND de dos entradas, b) Implementar la función $F = ab' + c$ mediante un multiplexor.
 - 5) Diseñar un contador síncrono basado en biestables J-K y con una entrada de control (Z) que realice las siguientes secuencias a su salida:

$$Z=0 \Rightarrow (0, 1, 2, 0, 1, 2, \dots)$$

$$Z=1 \Rightarrow (1, 2, 3, 1, 2, 3, \dots)$$

En el diseño debe aparecer el diagrama de estados, tabla de transición, simplificación de funciones y esquema final del contador. *N.B.: las transiciones no contempladas en el diagrama de estados pueden establecerse de manera que favorezcan al máximo la simplificación de las funciones por el método de Karnaugh.*

- 6) Sea la siguiente tabla de Karnaugh correspondiente a una función lógica F. Se pide a) obtener la expresión irreducible para F y b) representar la función obtenida utilizando un multiplexor.

CD	00	01	11	10
AB				
00	0	1	0	1
01	0	0	0	0
11	1	0	0	0
10	1	1	0	1

- 7) Diseñe un contador síncrono basado en biestables D, activos mediante flanco ascendente, que realice la siguiente secuencia a su salida:

(0, 2, 4, 6, 0, 2,...)

En el diseño debe aparecer el diagrama de estados, la tabla de transición, la simplificación de funciones y esquema lógico del contador. *N.B.: las transiciones desde los estados impares ponen el contador a cero.*

- 8) Diseñe un contador síncrono utilizando biestables J-K que efectúe las siguientes secuencias de conteo: 0,2,3,0,2,3,... cuando el valor de una variable auxiliar C = 1, y 3,2,0,3,2,0,... cuando el valor de C = 0.
- 9) Considere una cantidad representada mediante el SBN utilizando cuatro dígitos. Diseñe un circuito lógico que detecte si la cantidad en cuestión es menor que $3_{(10)}$ o mayor que $7_{(10)}$, en cuyo caso el referido circuito proporcionará un 1 lógico a su salida. Para ello:
- Obtenga la expresión irreducible de la función lógica correspondiente
 - Implemente la expresión obtenida en a) mediante puertas NAND de dos entradas.

- 10) Simplifique utilizando teoremas del álgebra de Boole la siguiente expresión:

$$F = AB + A(B+C) + B(B+C)$$

- 11) Implemente la siguiente forma booleana utilizando sólo puertas NAND de 2 entradas. Dibuje el circuito resultante.

$$F = A(B)'C + (A)'(C)'$$

- 12) Conteste a las siguientes cuestiones:

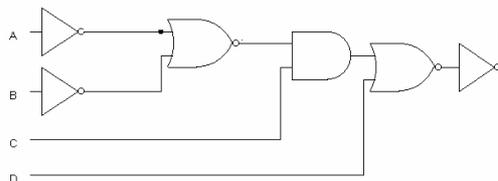
- a) Obtenga la función lógica de la siguiente tabla de verdad y simplifique utilizando teoremas del álgebra de Boole.

X	Y	Z	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

- b) Implemente la siguiente forma booleana utilizando un multiplexor. Dibuje el circuito resultante.

$$G = (X)'(Y)' + (X)'ZY + (Z)'X(Y)' + XYZ$$

- 13) Determine la función lógica que representa el esquema que se adjunta. Obtenga una expresión equivalente utilizando únicamente puertas NAND de dos entradas



- 14) Implemente la función lógica $G = \overline{AB + C}$ mediante un multiplexor

- 15) Simplifique mediante los teoremas del álgebra de Boole la siguiente expresión:

$$H = AB + AC + \overline{ABC}$$